

PAT-NO: JP363292630A
DOCUMENT-IDENTIFIER: JP 63292630 A
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT
PUBN-DATE: November 29, 1988

INVENTOR-INFORMATION:
NAME
HONJO, MASAO

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP62128903
APPL-DATE: May 25, 1987

INT-CL (IPC): H01L021/306, H01L021/30
US-CL-CURRENT: 438/656, 438/951 , 438/FOR.455

ABSTRACT:

PURPOSE: To prevent the metal of a conductor layer generating at the time of ion milling from readhering and to obtain electrodes as desired electrode shape by selectively forming a trapezoidal-sectional metal layer with an inverted trapezoidal-sectional resist as a mask.

CONSTITUTION: Whole titanium 5 and platinum 6 are coated with a photoresist 7, masked, exposed and developed to form a pattern in which electrode forming parts are selectively removed. The material and the exposure and developing conditions of the photoresist are so set that the inner

walls of the resist
removed parts become an inverted trapezoidal shape
extending externally as its
depth. A trapezoidal-sectional gold-plated layer 8 is
formed by a gold plating
method with the pattern 7 as a mask. Then, after the
photoresist 7 is
contained in a resist exfoliating solution to be removed,
the layer 8 is masked
by an ion milling for exposing it with accelerated Ar ions
to remove by etching
unnecessary titanium 5 and platinum 6. Since the layer 8
has the trapezoidal
section at this time, the readhesion of the ion milled
conductor layer is
eliminated.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-292630

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)11月29日

H 01 L 21/306
21/30

3 6 1

F-7342-5F
V-7376-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子の製造方法

⑮ 特 願 昭62-128903

⑯ 出 願 昭62(1987)5月25日

⑰ 発 明 者 本 城 眞 佐 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

基板面に形成したフォトレジストパターンをマスクにして電極を形成することを含む半導体素子の製造方法において、前記フォトレジストパターンのレジスト除去部分の内壁が深さと共に外方に弧がった断面逆台形に形成し、断面形状が台形の電極を形成することを特徴とする半導体素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体素子の製造方法、特に高周波用トランジスタ、集積回路などの電極（配線）形成に関する。

〔従来の技術〕

従来のこの種の半導体素子の電極形成について、第3図(a)～(c)を参照して説明する。まず、第3図(a)において、半導体基板1に、拡散法、イオン注入などによりベース領域2、エミッタ領域3を形成した後、電極取出し窓のあいた絶縁膜4の上に蒸着、スパッタリングなどにより、チタン層5、さらにその上に白金層6を全面に形成し、次いでフォトレジスト17のパターンを形成し、フォトレジスト17をマスクに金めっき18を施す。つぎに第3図(b)に示すように、フォトレジスト17を除去し、つぎに第3図(c)に示すように、めっきにより形成した金めっき層18をマスクにして電極パターン以外の白金層6およびチタン層5をイオンミリング法により除去し、所望のチタン5、白金6、金18の多層配線の電極構造を得る。

〔発明が解決しようとする問題点〕

上述したイオンミリング法による従来の製造方法では、第3図により説明したように、チタン・白金層5、6を被覆した後、フォトレジスト17の厚さを金めっき18の厚さより厚くする必要が

あり、比較的膜厚が厚くとれるポジタイプのフォトリソが用いられているが、超高周波用トランジスタでは電極間隔がサブミクロンオーダーの微細加工を要求されるため、電極パターンを形成するためのフォトリソの断面形状が問題となる。すなわち従来の製造方法では、フォトリソの断面形状が台形のフォトリソパターン17が得られる為、このフォトリソをマスクにしたためにより得られる金属層18の断面形状が逆台形になり、フォトリソを除去して、電極パターンとして得られた金属層18をマスクにチタン-白金等の導電体層5、6をイオンミリングで除去するとき、イオンミリングされた導電体層18が第3図(c)に示すように電極金属層に再付着9するという欠点がある。

〔問題点を解決するための手段〕

上記問題点に対し本発明では、半導体基板上の導電体層上に形成したフォトリソパターンのレジストの除去された部分の内壁が深さと共に外方に拡がる逆台形断面に形成し、このフォトリソ

スト膜をマスクにして選択的にその断面形状が台形状の金属層を形成することにより、イオン中にて前記導電体層をエッチングする際に導電体層が電極金属層へ再付着する事のない、台形の電極を形成する。

〔実施例〕

つぎに本発明を実施例により説明する。

第1図(a)～(d)は本発明の一実施例について、製造工程順に説明するための断面図である。まず第1図(a)において、半導体基板1に絶縁膜4を介して選択的にベース領域2、エミッタ領域3を、拡散法、イオン注入法などにより形成する。つぎに導電体層としてチタン5、白金6を蒸着法またはスパッタ法などにより形成する。チタン5の膜厚は約1000Å、白金6は約1000Åである。つぎに同図(b)に示すように、フォトリソ7をチタン5、白金6の上に全面塗布し、マスクングし、露光現像して電極形成部を選択的に除去したパターンを形成する。このレジスト除去部分の内壁が、深さと共に外方に拡がる逆台形になるようにフォ

- 3 -

- 4 -

トリソの材質および露光、現像条件を設定する。例えば、フォトリソとしてはネガタイプの表面重合型のものを用いる。それから、この逆台形のフォトリソパターン7をマスクに金めつき法により断面が台形状の金めつき層8を形成する。フォトリソ7の膜厚は1.0～1.2μm程度、金めつき層8の膜厚は0.8～1.0μm程度である。つぎに第1図(c)のように、フォトリソ7をレジスト剝離液に入れることにより除去する。つぎに加速されたArイオンにさらすイオンミリングにより、第1図(d)に示すように、金めつき層8をマスクにして、不要のチタン5、白金6をエッチング除去する。このイオンミリングによるエッチング速度は、金で700Å/min、白金で400Å/min、チタンで250Å/min程度である。このような条件で約7分間エッチングする。このとき、金属層8は断面形状が台形であるため、第3図(c)で示したような導電体層の再付着9は全く発生しない。

第2図は本発明の実施例2を説明するための断面図である。実施例1ではTi-Pt-Au構造をも

つトランジスタの実施例について説明したが、実施例2は、Ti-Pt-Au構造をもつ電界効果トランジスタ(FET)の場合である。この実施例ではソース領域11、ドレイン領域12、ゲート領域13を半導体基板1にそれぞれ選択的に拡散法、イオン注入法等により形成した後、絶縁膜4の上にチタン5、白金6の導電体層を形成し、断面逆台形のフォトリソパターン7をマスクとして断面台形の金めつき層8を得ている状態を示す。

本発明は上記のトランジスタ、FETのみならず、ダイオード、集積回路等にも広く適用できる事は言うまでもなく、又Ti-Pt-Au構造について説明をしたが、導電体層としてMo, Ta, Cr等の金属、電極金属としてAl, Ag等の金属をも広く利用できる。

〔発明の効果〕

以上説明した様に本発明は、断面形状が逆台形状のレジストをマスクに選択的にその断面形状が台形状の金属層を得て、イオンミリングによるエッチング加工ができるため、従来法の欠点であっ

- 5 -

- 6 -

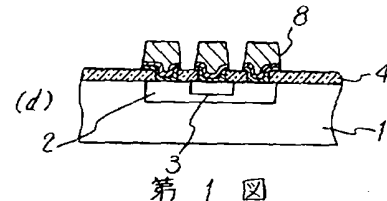
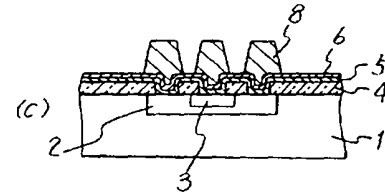
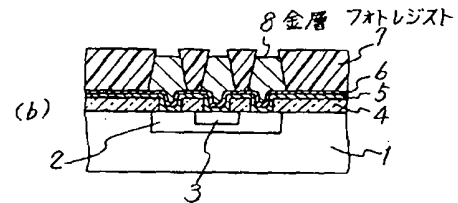
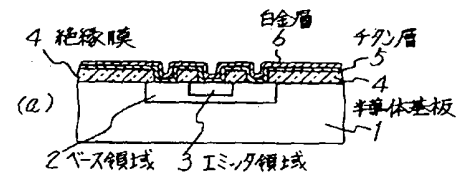
たイオンミリング時に生ずる導電体層の金属再付着を発生することなく、所望の電極形状通りの電極を得る事ができる効果がある。

4. 図面の簡単な説明

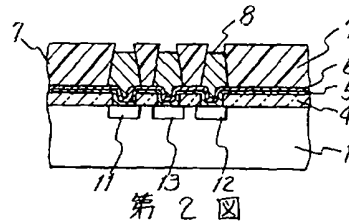
第1図(a)ないし(d)は本発明の一実施例を製造工程順に説明するための断面図、第2図は本発明の実施例2を説明するための断面図、第3図(a)ないし(c)は従来の半導体素子の製造方法を説明するための工程順の断面図である。

1 ……半導体基板、2 ……ベース領域、3 ……エミッタ領域、4 ……絶縁膜、5 ……チタン層、6 ……白金層、7 ……フォトリソ、8 ……金属層、9 ……再付着金属。

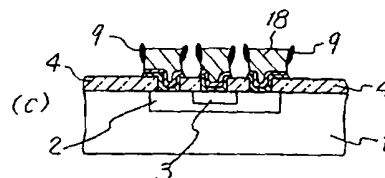
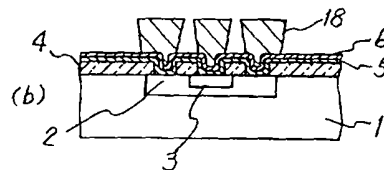
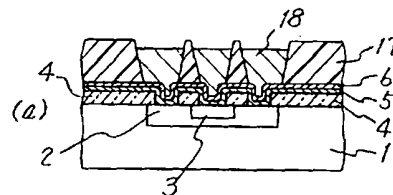
代理人 弁理士 内 原 晋



第1図



第2図



第3図